

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-246089

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月1日

G 11 C 11/409

8522-5B

G 11 C 11/34

3 5 3 A

審査請求 未請求 請求項の数 20 (全22頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 平1-66175

⑯ 出 願 平1(1989)3月20日

⑰ 発 明 者 久 米 英 治 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 田 中 均 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出 願 人 日立超エル・エス・アイ・エンジニアリング株式会社 東京都小平市上水本町5丁目20番1号

⑰ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. 複数の電圧振幅を有する回路において、少なくとも2種類以上の、それぞれ異なるしきい値電圧を有し、電圧振幅の低い回路に、しきい値電圧の低いトランジスタを用いたことを特徴とする半導体集積回路。

2. ダイナミック・ランダム・アクセス・メモリ(DRAM)において、少なくとも信号検知回路(センスアンプ)に、しきい値電圧の低いMOSトランジスタを用いたことを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3. 複数の電圧振幅を有する回路において、電圧振幅の低い回路を構成するトランジスタのゲートとソース(ドレイン)間の電圧が該振幅以上になる期間を回路の動作期間中に有することを特徴とする半導体集積回路。

4. 特許請求の範囲第3項記載の半導体集積回路

において、ゲートとソース(ドレイン)間の電圧は、静的な回路動作によって該振幅以上にすることを特徴とする半導体集積回路。

5. 特許請求の範囲第4項記載の半導体集積回路において、静的な回路動作は、CMOSトランジスタによって行うことを特徴とする半導体集積回路。

6. 特許請求の範囲第5項記載の半導体集積回路において、CMOSトランジスタは、少なくとも2段以上のインバータで構成し、初段側のインバータの電源側の電圧と接地側の電圧の差を、後段側のインバータの電源側の電圧と接地側の電圧の差より大きくし、後段側のインバータの出力振幅を、初段側のインバータの出力振幅より低振幅にしたことを特徴とする半導体集積回路。

7. ダイナミック・ランダム・アクセス・メモリ(DRAM)において、信号検知回路(センスアンプ)の動作開始時の共通駆動線の電圧振幅を信号出力線(データ線)の電圧振幅より大き

特開平2-246089 (2)

くしたことを特徴とする半導体集積回路。

8. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路 (センスアンプ) の共通駆動線にブースト容量を有し、信号検知回路の動作開始時に共通駆動線をブーストし、動作開始時の共通駆動線の電圧振幅を信号出力線 (データ線) の電圧振幅より大きくしたことを特徴とする半導体集積回路。

9. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路 (センスアンプ) の共通駆動線に、少なくとも2種類以上の、それぞれ異なる電圧値を有する電源をスイッチを介して接続し、上記スイッチを切り換えることにより、動作開始時の共通駆動線の電圧振幅を信号出力線 (データ線) の電圧振幅より大きくしたことを特徴とする半導体集積回路。

10. 特許請求の範囲第9項記載の半導体集積回路において、上記、2種類以上の電源の少なくともひとつは、信号出力線 (データ線) の電圧の最大値または最小値を与えることを特徴とす

線) の電圧をレベルシフトし、信号検知回路のトランジスタのゲートとソース (ドレイン) 間の電圧の絶対値を実効的に上昇させたことを特徴とする半導体集積回路。

14. 特許請求の範囲第13項記載の半導体集積回路において、上記、信号出力線 (データ線) の電圧は、昇圧用トランジスタあるいはブースト容量によって、静的あるいは動的に上昇させたことを特徴とする半導体集積回路。

15. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路 (センスアンプ) に、しきい値電圧の低いMOSトランジスタを用いたことを特徴とする特許請求の範囲第7項、第8項、第9項、第10項、第11項、第12項、第13項、第14項のいずれかに記載の半導体集積回路。

16. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路に信号出力線 (データ線) よりも高い電圧振幅で動作するセンスアンプと信号出力線 (データ線) と

る半導体集積回路。

11. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路 (センスアンプ) の共通駆動線および信号出力線 (データ線) の待機時 (プリチャージ時) の電圧に、チップ外部の電源電圧に依存しないチップ内部で発生させた電源を用いたことを特徴とする半導体集積回路。

12. 特許請求の範囲第11項記載の半導体集積回路において、上記、チップ内部の電源の電圧値は、チップ外部の電源電圧がある電圧以上のとき、信号出力線 (データ線) の最大電圧と最小電圧のほぼ中間値となり、チップ外部の電源電圧が該電圧以下のときには、信号出力線 (データ線) の最大電圧 (あるいは最小電圧) との差が一定になるようにしたことを特徴とする半導体集積回路。

13. ダイナミック・ランダム・アクセス・メモリ (DRAM) において、信号検知回路 (センスアンプ) の動作開始時に信号出力線 (データ

同じ電圧振幅で動作するインバータを備えたことを特長とする半導体集積回路。

17. 半導体集積回路において、その信号検知回路のトランジスタのしきい電圧をその動作に応じて変化させる手段を設けたことを特長とする半導体集積回路。

18. 特許請求の範囲第17項に記載の半導体集積回路において、しきい値電圧は、動的な回路動作により変化させたことを特長とする半導体集積回路。

19. 特許請求の範囲第18項に記載の半導体集積回路において、該しきい値電圧の変化範囲の中に、しきい値電圧値0Vを含むことを特長とする半導体集積回路。

20. 特許請求の範囲第17項、第18項、第19項のいずれかに記載の半導体集積回路において、信号検知回路のトランジスタのしきい電圧変更手段は基板電圧変更手段であることを特長とする半導体集積回路。

3. 発明の詳細な説明

特開平2-246089 (3)

【産業上の利用分野】

本発明は、高速かつ低消費電力で動作する高集積の半導体集積回路に関する。

【従来の技術】

半導体集積回路は、高集積化にともなって、負荷容量の充放電による消費電力が増加する傾向がある。このため、高速かつ低消費電力で動作する半導体集積回路技術が重要となる。また、近年、ラップトップパソコン、電子手帳などの携帯用電子情報機器や磁気媒体を用いない音声録音機器、電子スチルカメラなどの携帯用電子メディア機器の需要が増加している。これらの携帯用電子機器に大量の情報を記憶し、その情報を保持するためには、電池動作や電池による情報保持動作（バッテリバックアップ）を可能にする低消費電力の超高集積半導体回路（ULSI）が必要となる。このULSIの低電力化のためには、主たる回路ブロックの動作電圧や、回路間の情報伝達を担う信号の振幅を低下させることが有効である。ULSIを代表するものにDRAM（ダイナミッ

ク・ランダム・アクセス・メモリ）がある。

DRAMの消費電力低減のためには、その電力消費の約半分を占めるデータ線充放電電力の低減が重要である。従来、DRAMの低電力化については、エス・シー・ルー アンド エッチ・エッチ・チャオ，“ハーフ ブイデーデー ビットライン センシング イン シーモス デーラム” アイイーイー ジェイ，ソリッド・ステート サークिट，ヴォル・エスシー19，451～454頁，1984年（N.C.Lu and H.H.Chao, “Half-VDD bit-Line sensing scheme in CMOS DRAM's” IEEE J.Solid-State Circuits, Vol.SC-19, pp.451～454, 1984.）に論じられている。この、ハーフVDDプリチャージ方式の特徴は、VDDプリチャージ方式（詳細は特開昭51-74535，USP 3514765等に記載）に比べて、データ線の信号振幅を半分にしているため、（1）1サイクルの消費電荷が半分でよい、（2）メモリアレー

内の雑音が小さい、（3）データ線の充放電時間が短いためサイクル時間の高速化が可能な点である。ところが、メモリの高集積化とともに、データ線の信号振幅を減らすと、従来のLSIでは信号振幅に関係なく1種類のMOS-FETにより回路を構成していたため、その振幅がセンスアンプのMOS-FETのしきい値電圧の近傍になると回路が誤動作を起こしたり、速度性能が著しく損なわれるという問題があった。したがって、せっかく信号振幅を半分に減らしても、動作電圧の下限がVDDプリチャージ方式の2倍程度になり、その低消費電力の優位性を享受できなくなる。以上は、DRAMの場合の1例であるが、その他、従来の論理LSIにおいても、その信号振幅の下限は、MOS-FETのしきい値電圧により制限されるため、高速かつ超低消費電力のULSIを実現できないという問題があった。

【発明が解決しようとする課題】

このように、従来の技術においては、MOS-FETの素子特性がDRAMをはじめとする

ULSIの低消費電力化の下限を規定するという問題があり、電池動作や電池バックアップ用の機器で求められる高速かつ低消費電力のULSIを提供することができないという問題があった。

本発明の目的は、このような従来の問題を改善し、高速かつ低消費電力で、電池動作あるいは電池バックアップが可能な半導体集積回路を提供することにある。

【課題を解決するための手段】

上記目的は、消費電力を規定する主たる回路ブロックの信号振幅および該回路ブロックを構成するMOS-FETのしきい値電圧を下げることで、あるいは、該回路ブロックを構成するMOS-FETのゲートとソース（ドレイン）間の電圧もしくはドレインとソース間の電圧を動的もしくは静的に該MOS-FETのしきい値電圧を十分上回る大きな電圧値で駆動することにより達成される。

【作用】

上記手段によって、主たる回路の信号振幅のみ

特開平2-246089 (4)

を低下させることができ、高速化と低消費電力化を同時に達成するULSIを供することができるようになる。

【実施例】

以下、本発明の実施例を図面により詳細に説明する。なお、以下の実施例ではDRAMに本発明を適用した例について説明するが、ダイナミック、スタティックなどのランダムアクセスメモリ(RAM)、あるいはリードオンリーメモリ(ROM)、さらにはマイクロコンピュータのようなロジックLSIなどの、いずれの形式のLSIに適用してもよい。また、その構成素子は、バイポーラ型トランジスタ、MOS型トランジスタ、これらの素子の組合せ、あるいはSi以外の材料を用いた、例えば、GaAs型のトランジスタなどのいずれでもよい。

第1図は、本発明の第1の実施例である。第1図(a)は本実施例の回路構成である。この回路は従来のセンスアンプに、しきい値電圧 V_{th} の低い低 V_{th} MOSTランジスタ(Q1', Q2',

Q3', Q4')を用いたものである。この回路のデータ線を低い電圧振幅(1.0V)で動作させた場合について、第1図(a")の動作波形で説明する。ワード線W0の電圧をVSS(0V)からVDH(1.5V)にすると、蓄積容量CSに蓄えられた情報がデータ線Dに読出される。次に、P1PをVDL(1.0V)からVSS(0V)、P1NをVSS(0V)からVDL(1.0V)にすると、センスアンプ駆動用トランジスタQP, QNがオンし、センスアンプ駆動線CSPがHVC(0.5V)からVDL(1.0V)に、CSNがHVC(0.5V)からVSS(0V)に変化する。このとき、本発明のセンスアンプは、しきい値電圧の低いトランジスタ(Q1', Q2', Q3', Q4')を用いているため、ゲートとソース(ドレイン)間の電圧がしきい値電圧を十分上回り、センスアンプのトランジスタが十分オンし、データ線の信号電圧を十分増幅できる。ところが、従来のセンスアンプでは、ゲートとソース(ドレイン)間の電圧がしきい値

電圧の近傍になるため、センスアンプのトランジスタが十分オンせず、データ線の信号電圧を十分増幅できなくなる。これ以降のデータ線の動作は、従来のDRAMと同様である。第1図(a')は、データ線を通常の電圧振幅(例えば1.5V)で動作させた場合を示している。この場合、本発明のセンスアンプを用いたことによって、データ線の充放電速度が多少速くなる。第1図(b)は、本実施例の効果を示したものである。VDLminはセンスアンプが動作限界となる時のデータ線充電電圧である。IDSmaxは、64メガビットDRAMを想定し(Q1, Q2, Q3, Q4: W/L = 2 μ m / 0.5 μ m, センスアンプ16000個動作)、センスアンプのゲートとソース(ドレイン)間の電圧を0Vにしたときに、全てのセンスアンプのドレインとソース間に流れる電流の和である。MOSTランジスタのゲートとソース(ドレイン)間の電圧を0Vにしたときに、ドレインとソース間に流れる電流については、R.M. SWANSON and J.D. MEINDL,

"Ion-Implanted Complementary MOS Transistors in Low-Voltage Circuits", IEEE J. Solid-State Circuits, Vol. SC-7, No. 2, pp. 146~153, April 1972に詳述されている。VTOは、MOSTランジスタのゲートとソース間の電圧VGSとドレインとソース間の電流の平方根 \sqrt{ID} の関係を $\sqrt{ID} = A \cdot VGS + B$ と単純化し仮定したときに、 $\sqrt{ID} = 0$ となるときにVGSの値である。第1図(c)および(d)に、VTOとトランジスタのチャネル長 L_g の関係の1例を示す。本実施例のセンスアンプ(Q1', Q2', Q3', Q4')は低 V_{th} MOSTランジスタ、他の回路は標準 V_{th} MOSTランジスタ、従来のセンスアンプ(Q1, Q2, Q3, Q4)は高 V_{th} MOSTランジスタである。このように、センスアンプにチャネル長 L_g の大きなトランジスタ($L_g = 0.5 \mu$ m)を用いるのは、 L_g の加工バラツキによって、センスアンプのトランジスタのしきい値電圧がばらつき、センスアンプの

特開平2-246089 (5)

感度が低下するのを防止するためである。センスアンプ以外のトランジスタは、高い駆動能力を得るため L_g の小さな値（例えば $0.3\mu m$ ）を用いる。本実施例の動作が従来と異なる点は、 V_{DL} が $1.0V$ 程度の低電圧になったときである。例えば、第1図(c)および(d)に示す高 V_{th} MOSトランジスタ($V_{TO}=0.5V$)をセンスアンプに用いる従来方式の場合、第1図(b)に示すように、 V_{DL} が $1.2V$ でセンスアンプが動作しなくなる(V_{TO} のワースト値が $0.6V$)。本実施例の低 V_{th} MOSトランジスタ($V_{TO}=0.3V$)をセンスアンプに用いた場合、 V_{DL} が $1.2V$ でもセンスアンプは充分動作可能となる。これは、センスアンプのゲートとソース(ドレイン)間の電圧 $0.6V$ に対して、 V_{TO} が $0.4V$ (ワースト値)と充分低いためである。本実施例では、 $V_{DL}>0.8V$ まで動作可能である。このとき、センスアンプのドレインとソース間に流れる電流 I_{DSmax} は $100\mu A$ (センスアンプ 16000 個動作)程度で、

データ線の充電電流に比べ充分無視できる値であり問題ない。第1図(c)および(d)に示すような低 V_{th} MOSトランジスタは、センスアンプ部をマスクし、イオン注入量を委えることによって作る。センスアンプ以外でも、トランジスタのドレインとソース間が低電圧となる部分(例えば、メモリアレーをシェアードする場合の入出力線の切り換え用トランジスタ)に低 V_{th} MOSトランジスタを用いることによって、センスアンプの低電圧動作と同様の効果を得ることが出来る。低 V_{th} MOSトランジスタの代わりにディプレッション型のMOSトランジスタを用いても上記同様の効果を得ることが出来る。この場合、センスアンプを駆動しないプリチャージ時には、センスアンプのNチャネルMOSトランジスタの基板電位を低くして(PチャネルMOSトランジスタの基板電位は高くして)、データ線間に電流が流れないようにする。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、

センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても(例えば、バスゲートなど)、より低い電圧で動作するLSIを提供できる。

第3図は、本発明の第2および第3の実施例である。第3図(a)は第2の実施例の回路構成である。この回路は従来のセンスアンプ駆動用トランジスタを各々2個並列に接続し(QP1, QP2, QN1, QN2)、センスアンプ駆動線CSP, CSNにブースト容量CBP, CBNを付加している。センスアンプを構成するPチャネルMOSトランジスタQ3, Q4の基板電位はセンスアンプ駆動線CSP, CSNと同電位である。この回路の動作を第3図(b)の動作波形で説明する。ワード線W0の電圧を $V_{SS}(0V)$ から $V_{DH}(1.5V)$ にすると、蓄積容量CSに蓄えられた情報がデータ線Dに読出される。次に、P1Pを $V_{SS}(0V)$ から $V_{DH}(1.5$

$V)$ 、P1Nを $V_{DL}(1.0V)$ から $V_{DB}(-0.5V)$ にすると、センスアンプ駆動用トランジスタQP1, QN1がオンし、センスアンプ駆動線CSPが $HVC(0.5V)$ から $V_{DL}(1.0V)$ に、CSNが $HVC(0.5V)$ から $V_{SS}(0V)$ に変化する。次に、PBPを $V_{SS}(0V)$ から $V_{DL}(1.0V)$ に、PBNを $V_{DL}(1.0V)$ から $V_{SS}(0V)$ にすると、センスアンプ駆動線はブーストされ、CSPが $V_{DL}(1.0V)$ から $V_{DH}(1.5V)$ 程度に、CSNが $V_{SS}(0V)$ から $V_{DB}(-0.5V)$ 程度に変化する。このとき、P1Pを $V_{DH}(1.5V)$ から $V_{SS}(0V)$ 、P1Nを $V_{DB}(-0.5V)$ から $V_{DL}(1.0V)$ にすることにより、センスアンプ駆動線に注入された電荷が、センスアンプ駆動用トランジスタを通して放電することがない。これによって、センスアンプを構成するトランジスタ(Q1, Q2, Q3, Q4)のゲートとソース(ドレイン)間の電圧を $V_{DL}/2+0.5V$ 程度にできるた

特開平2-246089 (6)

め、センスアンプが充分オンし、データ線D、DをVDL (1.0V)、VSS (0V) に増幅できる。センスアンプ駆動線のブースト後に、P2PをVSS (0V) からVDH (1.5V)、P2NをVDL (1.0V) からVDB (-0.5V) にし、センスアンプ駆動用トランジスタQP2、QN2をオンさせて、センスアンプの増幅が充分に行なえるようにする。これ以降のデータ線の動作は、従来と同様である。第3図(b)に示す程度のブースト電圧を得るためには、ブースト容量CBP、CBNを150pF程度にすればよい(センスアンプ駆動線にデータ線容量が約300fFのセンスアンプが1000個つなぐと仮定)。各端子の電圧値は第3図(b)のとおりでなくてもよく、センスアンプ駆動線CSPとCSN間の電圧振幅がデータ線DとD間の電圧振幅より大きければよい。VDHの電圧は、VDLを昇圧して発生させても、外部電源を降圧して発生させてもよい。CSPのみ、あるいはCSNのみのブーストでもよい。VDL配線にブースト用

コンデンサCBPを設け、VDLをブーストしてもよい。このとき、センスアンプ駆動用トランジスタQP1、QP2の基板電位は、VDLと同電位にする。センスアンプ駆動用トランジスタQP1、QP2、QN1、QN2はPチャネルMOSトランジスタでも、NチャネルMOSトランジスタでも、バイポーラトランジスタでもよく、センスアンプ駆動線の電位がCSP側でHVCからVDL、CSN側でHVCからVSSになればよい。センスアンプ駆動線をブーストするとき、各トランジスタの基板電位が順バイアスにならないようにすることによって、ラッチアップ等を防止できる。センスアンプQ3、Q4の基板電位をセンスアンプ駆動線CSPと同電位にするかセンスアンプQ1、Q2の基板電位をセンスアンプ駆動線CSNと同電位にすることにより、基板効果によるしきい値電圧の上昇を防止できるため、センスアンプの動作をさらに改善できる。センスアンプの基板電位をセンスアンプ駆動線と同電位にするには、基板の3重ウエル構造を用いればよい

基板の3重ウエル構造については、特開昭62-119958に明記されている。センスアンプ(Q1、Q2、Q3、Q4)に、第1の実施例の低Vth MOSトランジスタを用いることにより、さらに低電圧で動作させることができる。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第3図(c)、(d)は第3の実施例の概念を示している。第3図(c)ではチップ内に定電圧発生回路LVDH、LVDL、LVDBLを設け、定電圧VDH、VDL、VDBLを発生させている。定電圧VDH、VDL、VDBLおよびVDBH (=VSS)はスイッチSP1、SP2、SN2、SN1を介し、センスアンプ駆動線

CSP、CSNに接続する。各々の電圧関係は、 $VDH \geq VDL > VDP$ (プリチャージ電圧) $> VDBL \geq VDBH$ (=接地電圧VSS) $\geq VBB$ (基板電圧)である。この回路の動作は、次の通りである。まず、データ線D、Dの電圧およびセンスアンプ駆動線CSP、CSNの電圧をプリチャージ電圧VDPにする。次に、スイッチSP1、SN1をオンし、センスアンプ駆動線CSPをVDH、CSNをVDBH (VSS)にする。これによって、センスアンプを構成するトランジスタのゲートとソース(ドレイン)間の電圧をVDPより大きくできるため、センスアンプが充分オンし、データ線D、DをVDL、VDBL程度に増幅できる。次に、スイッチSP1、SN1をオフし、SP2、SN2をオンする。これによって、センスアンプ駆動線CSPがVDL、CSNがVDBLになり、データ線D、DをVDL、VDBLに固定できる。スイッチSP1、SN1をオフし、SP2、SN2をオンするタイミングは、データ線D、DがVDL、VDBL程

特開平2-246089(7)

度になるときに設定する。これによって、データ線DがVDL以上、データ線DがVDBL以下になることを防止できる。VDH、VDLの値と外部電源電圧VCCの関係は、どのような関係でもよい。(例えば、VDH=VCCでもVDL=VCCでもよい。)VDHの電圧は、VDLを昇圧して発生させてもよい。基板電圧VBBはVDBHより小さくなくてもよい。(例えば、VDBH(=VSS)=VBBでもよい。)基板電圧VBBは、メモリアレー部とセンスアンプ部、あるいは、どちらか一方だけ印加し、その他の部分は接地電圧でもよい。これは、基板の3重ウエル構造を用いれば実現できる。基板の3重ウエル構造については、特開昭62-119958に明記されている。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理

LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第3図(d)ではチップ内に定電圧発生回路LV_{VDH}、LV_{VDL}、LV_{VDBH}を設け、定電圧VDH、VDL、VDBHを発生させている。定電圧VDH、VDL、VDBHおよびVDBL(=VSS)はスイッチSP1、SP2、SN1、SN2を介し、センスアンプ駆動線CSP、CSNに接続する。各々の電圧関係は、 $VDH \geq VDL > VDP$ (プリチャージ電圧) $> VDBL \geq VDBH$ (=接地電圧VSS) $\geq VBB$ (基板電圧)である。この回路の動作は、次の通りである。まず、データ線D、Dの電圧およびセンスアンプ駆動線CSP、CSNの電圧をプリチャージ電圧VDPにする。次に、スイッチSP1、SN1をオンし、センスアンプ駆動線CSPをVDH、CSNをVDBHにする。これによって、センスアンプを構成するトランジスタのゲートとソース(ドレイン)間の電圧をVDPより大きくできるため、センスアンプが充分オンし、データ

線D、DをVDL、VDBL(VSS)程度に増幅できる。次に、スイッチSP1、SN1をオフし、SP2、SN2をオンする。これによって、センスアンプ駆動線CSPがVDL、CSNがVDBL(VSS)になり、データ線D、DをVDL、VDBL(VSS)に固定できる。スイッチSP1、SN1をオフし、SP2、SN2をオンするタイミングは、データ線D、DがVDL、VDBL程度になるときに設定する。これによって、データ線DがVDL以上、データ線DがVDBL以下になることを防止できる。VDH、VDLの値と外部電源電圧VCCの関係は、どのような関係でもよい。(例えば、VDH=VCCでもVDL=VCCでもよい。)VDHの電圧は、VDLを昇圧して発生させてもよい。基板電圧VBBはVDBHより小さくなくてもよい。(例えば、VDBH=VBBでもよい。)基板電圧VBBは、メモリアレー部とセンスアンプ部、あるいは、どちらか一方だけ印加し、その他の部分は接地電圧でもよい。これは、基板の3重ウエル

構造を用いれば実現できる。基板の3重ウエル構造については、特開昭62-119958に明記されている。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第3図(e)は第3の実施例の具体的な回路構成の1例である。この回路は、第3図(d)のセンスアンプ駆動線のCSP側のみの場合を示している。従来のセンスアンプ駆動用トランジスタを各々2個並列に接続し(QP1、QP2、QN1、QN2)、PチャンネルMOSトランジスタQP1のドレインをVDH(例えば1.5V)、QP2のドレインをVDL(例えば1.0V)にしている。QP1、QP2の基板電位はVDHである。この回路の動作を第3図(f)の動作波形

特開平2-246089 (8)

で説明する。ワード線W0の電圧をVSS (0V) からVDH (1.5V) にすると、蓄積容量CSに蓄えられた情報がデータ線Dに読出される。次に、P1PをVDH (1.5V) からVSS (0V)、P1NをVSS (0V) からVDL (1.0V) にすると、センスアンプ駆動用トランジスタQP1、QN1がオンし、センスアンプ駆動線CSPがHVC (0.5V) からVDH (1.5V) に、CSNがHVC (0.5V) からVSS (0V) に変化する。これによって、センスアンプを構成するトランジスタQ3、Q4のゲートとソース(ドレイン)間の電圧をVDL/2 + 0.5V程度にできるため、センスアンプが充分オンし、データ線DをVDL (1.0V) 程度に増幅できる。これによって、センスアンプを構成するトランジスタQ1、Q2のゲートとソース(ドレイン)間の電圧も大きくなり、データ線DをVSS (0V) に増幅できる。データ線Dの電圧がVDL (1.0V) を越えるあたりで、P1PをVSS (0V) からVDH (1.5V)、

P2PをVDH (1.5V) からVSS (0V) にすると、センスアンプ駆動用トランジスタQP1がオフ、QP2がオンし、センスアンプ駆動線CSPがVDH (1.5V) からVDL (1.0V) になる。これによって、データ線Dの電圧はVDL (1.0V) で一定となる。このとき、P2NをVSS (0V) からVDL (1.0V) にし、センスアンプ駆動用トランジスタQN2をオンさせることによって、センスアンプの増幅が充分に行なえるようにする。これ以降のデータ線の動作は、従来と同様である。各端子の電圧値は第3図(f)のとおりでなくてもよく、センスアンプ駆動線CSPの電圧がデータ線の充電電圧VDLより大きければよい。VDHの電圧は、VDLを昇圧して発生させても、外部電源を降圧して発生させてもよい。センスアンプ駆動用トランジスタQP1、QP2、QN1、QN2はPチャネルMOSトランジスタでも、NチャネルMOSトランジスタでも、バイポーラトランジスタでもよく、センスアンプ駆動線の電位が

CSP側でHVCからVDLおよびVDH、CSN側でHVCからVSSになればよい。センスアンプQ3、Q4の基板電位をセンスアンプ駆動線CSPと同電位にするかセンスアンプQ1、Q2の基板電位をセンスアンプ駆動線CSNと同電位にすることにより、基板効果によるしきい値電圧の上昇を防止できるため、センスアンプの動作をさらに改善できる。センスアンプの基板電位をセンスアンプ駆動線と同電位にするには、基板の3重ウエル構造を用いればよい。基板の3重ウエル構造については、特開昭62-119958に明記されている。センスアンプ(Q1、Q2、Q3、Q4)に、第1の実施例の低VthMOSトランジスタを用いることにより、さらに低電圧で動作させることができる。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに

限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第3図(c)~(f)で述べた電圧関係は、これに限るものではなく、低振幅で動作するMOS-FETのゲート/ソース間電圧を、動作中のある期間、しきい値電圧を十分に上回るようにすることにより同様の効果を得ることができる。

第4図は、本発明の第4の実施例である。第4図(a)は本実施例の回路構成である。この回路は、参照用データ線Dに接続される蓄積容量のプレート端子CSBを1度に駆動できるようにしている。プリチャージ回路(Q5', Q6', Q7', Q5, Q6, Q7)に供給するプリチャージ電圧は、定電圧VDPを用いる。この定電圧VDPは、第4図(d)あるいは(e)に示すような特性にする。この回路の動作を第4図(b)の動作波形で説明する。ワード線W0の電圧をVSS (0V) からVDH (1.5V) にすると、蓄積容量CSに蓄えられた情報がデータ線Dに読出される。

"1"読み出しの場合、 $CD / (CD + CS) \times$

特開平2-246089 (9)

$(VDL - VDP) = 0.25 CD / (CD + CS)$
 ボルト、“0”読み出しの場合、 $CD / (CD + CS) \times (VDP - VSS) = 0.75 CD / (CD + CS)$ ボルト、(CDはデータ線容量)がデータ線に読出される。このとき、ダミーワード線DWOの電圧をVSS (0V) からVDH (1.5V) にする。このとき、参照用データ線Dの電圧はプリチャージ電圧VDP (0.75V) のままである。次に、参照用データ線につながる蓄積容量CS'のプレートCSBの電圧をVDP (0.75V) からHVC (0.5V) にする。これによって、参照用データ線電圧は $CD / (CD + CS) \times (VDP - HVC) = 0.25 CD / (CD + CS)$ ボルト低下し、データ線D、Dの信号電圧差は、“1”読み出し、“0”読み出しの場合とも、 $VDL / 2 \times CD / (CD + CS) = 0.5 CD / (CD + CS)$ ボルトとなる。次に、P1PをVDL (1.0V) からVSS (0V)、P1NをVSS (0V) からVDL (1.0V) にすると、センスアンプ駆動用トラ

ンジスタQP1, QN1がオンし、センスアンプ駆動線CSPがVDP (0.75V) からVDL (1.0V) に、CSNがVDP (0.75V) からVSS (0V) に変化する。これによって、センスアンプを構成するトランジスタQ1, Q2のゲートとソース(ドレイン)間の電圧をVDP (0.75V) にできるため、センスアンプが充分オンし、データ線DをVSS (0V) に増幅できる。これによって、センスアンプを構成するトランジスタQ3, Q4のゲートとソース(ドレイン)間の電圧も大きくなり、データ線DをVDL (1.0V) に増幅できる。次に、P2PをVDL (1.0V) からVSS (0V) に、P2NをVSS (0V) からVDL (1.0V) にし、センスアンプ駆動用トランジスタQP2, QN2をオンさせることによって、センスアンプの増幅が充分に行なえるようにする。これ以降のデータ線の動作は、従来と同様である。プレートCSBの電圧は、データ線をプリチャージする前にHVC (0.5V) からVDP (0.75V) に

する。ダミーワード線DWOは、プリチャージ後のデータ線電圧がVDP (0.75V) に回復したあたりで、VDH (1.5V) からVSS (0V) にする。以上は、VDPの特性を第4図(d)として説明した。VDPの特性が第4図(e)でも同様の効果を得ることができる。各端子の電圧関係は第4図(b), (d), (e)のとおりでなくてもよく、 $VDP > VDL / 2 = HVC$ (第4図(d))あるいは $VDP < VDL / 2 = HVC$ (第4図(e))であればよい。第4図(d), (e)に示すようにVDLが高電圧になると、 $VDL = 1.5V$ 以上で $VDP = HVC$ となる。この場合の動作は、第4図(b')に示すように、従来と同じ動作になる。プレート電圧を駆動する方法としては、特願昭62-222317、特願昭63-148104がある。ダミーワード線用のプレート電圧を高速で駆動するには、第4図(c)に示すように、プレート駆動線の途中にドライバQ20, Q21を設け、ダミーワード線DWO, DW1を切り換え信号として用いるとよ

い。Q20, Q21, Q23, Q24, NAD1, NAD2は、メモリアレーの中に周期的に配置する。図中のNAD1, NAD2は、メモリアレーの外に、まとめて配置してもよい。図中のQ20, Q21, Q23, Q24もメモリアレーの外に、まとめて配置してもよい。図中のNAD1, NAD2は、OR回路で構成したが、NOR回路とインバータで構成してもよい。ダミーセルは、どのような方式でもよく、ダミーワード線用のプレート電圧を、従来通り一定電圧(VP)とし、ダミーワード線DWOを、プリチャージ直後のデータ線電圧がHVC (0.5V) になったとき、VDH (1.5V) からVSS (0V) にしてもよい。あるいは、CSとQWOの間に書き込み用のMOSTランジスタを設け、HVC (0.5V) を書き込んでよい。VDPの電圧は、VDLを降圧して発生させても、HVCを昇圧(降圧)して発生させてもよい。センスアンプ駆動用トランジスタQP1, QP2, QN1, QN2はPチャネルMOSTランジスタでも、NチャネルMOS

特開平2-246089 (10)

トランジスタでも、バイポーラトランジスタでもよく、センスアンプ駆動線の電位がCSP側でVDPからVDL、CSN側でVDPからVSSになればよい。センスアンプQ3、Q4の基板電位をセンスアンプ駆動線CSPと同電位にするかセンスアンプQ1、Q2の基板電位をセンスアンプ駆動線CSNと同電位にすることにより、基板効果によるしきい値電圧の上昇を防止できるため、センスアンプの動作をさらに改善できる。センスアンプの基板電位をセンスアンプ駆動線と同電位にするには、基板の3重ウエル構造を用いればよい。基板の3重ウエル構造については、特開昭62-119958に明記されている。センスアンプ駆動線CSPあるいはCSNとプリチャージ用の配線を共用することによって、配線エリアを増加することなくプリチャージ速度を速くすることができる。センスアンプ(Q1、Q2、Q3、Q4)に、第1の実施例の低 V_{th} MOSTランジスタを用いることにより、さらに低電圧で動作させることができる。このように、本実施例によれ

ば、回路の動作振幅を電源電圧に応じて変化させることにより、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第5図は、本発明の第5の実施例である。第5図(a)は本実施例の回路構成である。この回路は、従来の各々のデータ線にブースト容量CBを付加している。この回路の動作を第5図(b)の動作波形で説明する。ワード線W0の電圧をVSS(0V)からVDH(1.5V)にすると、蓄積容量CSに蓄えられた情報がデータ線Dに読出される。次に、ブースト端子PCBの電圧をVSS(0V)からVDL(1.0V)にすると、データ線D、Dは共に0.2V程度(CBが約70fFのとき)上昇する。次に、P1Pを

VDL(1.0V)からVSS(0V)、P1NをVSS(0V)からVDL(1.0V)にすると、センスアンプ駆動用トランジスタQP、QNがオンし、センスアンプ駆動線CSPがHVC(0.5V)からVDL(1.0V)に、CSNがHVC(0.5V)からVSS(0V)に変化する。このとき、センスアンプを構成するトランジスタQ1、Q2のゲートとソース(ドレイン)間の電圧は、 $VDL/2 + 0.2V$ 程度にできるため、センスアンプが充分オンし、データ線DをVSS(0V)に増幅できる。これによって、センスアンプを構成するトランジスタQ3、Q4のゲートとソース(ドレイン)間の電圧も大きくなり、データ線DをVDL(1.0V)に増幅できる。これ以降のデータ線の動作は、従来と同様である。ブースト端子PCBの電圧は、データ線のプリチャージ前にVDL(1.0V)からVSS(0V)にする。各端子の電圧値は第5図(b)のとおりでなくてもよく、センスアンプ駆動時に、データ線電圧とVSSの電位差が $VDL/2$ 以上

あればよい。データ線D、Dの電圧がともに降下するように、ブースト電圧を逆位相で印加してもよい。この場合も、センスアンプ駆動時に、データ線電圧とVDLの電位差が $VDL/2$ 以上あればよい。ブースト線CBLとセンスアンプ駆動線CSP(あるいはCSN)を共通にしてもよい。センスアンプ駆動用トランジスタQP、QNはPチャンネルMOSTランジスタでも、NチャンネルMOSTランジスタでも、バイポーラトランジスタでもよく、センスアンプ駆動線の電位がCSP側でHVCからVDL、CSN側でHVCからVSSになればよい。センスアンプQ3、Q4の基板電位をセンスアンプ駆動線CSPと同電位にするかセンスアンプQ1、Q2の基板電位をセンスアンプ駆動線CSNと同電位にすることによって、基板効果によるしきい値電圧の上昇を防止できるため、センスアンプの動作をさらに改善できる。センスアンプの基板電位をセンスアンプ駆動線と同電位にするには、基板の3重ウエル構造を用いればよい。基板の3重ウエル構造については、

特開平2-246089 (11)

特開昭62-119958に明記されている。センスアンプ(Q1, Q2, Q3, Q4)に、第1の実施例の低VthMOSトランジスタを用いることにより、さらに低電圧で動作させることができる。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

第6図は、本発明の第6の実施例である。第6図(a)は本実施例の回路構成である。この回路は、第5図(a)のデータ線ブースト容量CBをセンスアンプを構成するトランジスタQ1、Q2のゲートに付加し、更にそれらのゲートとCBをQA、QBによりデータ線から分離できるようにしている。この回路の動作を第6図(b)の動作波形で説明する。前述のように、ワード線W0が

高電位になるとCSにより情報がデータ線Dに読みだされる。この時、第6図(a)のQA、QBのゲート電圧CGAはワード線とほぼ同じ電位VDHに保たれている。そのため、データ線Dの情報はQAを介してQ1のゲートにも伝達される。なお、上記電圧CGAは、プリチャージ時にQA、QBが十分にオンするような値であればよい。また、同様にQ2のゲートにはDの参照電位が伝達される。次にセンスアンプ駆動用トランジスタQP、QNをオンし、センスアンプ駆動線CSPをHVC(0.5V)からVDC(1.0V)に、CSNをHVCからVSS(0V)に変化させる。この時、QA、QBのゲート電圧CGAはCSNとの間に入れられた容量CPCによりVDLの電位にまで引き下げられるので、QA、QBは高抵抗状態となりデータ線D、DとQ1、Q2のゲートは電気的に分離される。これによって、ブースト容量CBはQ1、Q2のゲートのみを昇圧することになるので第5の実施例より小さな容量でも充分なゲート電圧が得られる。次に、ブースト端

子PCBの電圧をVSSからVDLにするとQ1、Q2のゲート電圧はともに上昇し、 $VDL/2 + 0.2$ 以上になる。このため、Q1、Q2が十分にオンし、データ線を高速にVSSにまで増幅する。更に、これによってQ3のゲート、ソース間電圧も大きくなり、データ線を高速にVDLまで増幅できる。これ以降のデータ線及びブースト端子PCBの動作は第5の実施例と同様である。尚、CGAのプリチャージは、センスアンプ駆動トランジスタQNがオンしている期間にQPC2を介して行う。プリチャージ電圧は、VDL(1.0V)である。これにより、CSNをプリチャージするときCPCとの容量結合によりCGAは、ほぼVDHまで昇圧される。このように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいて

も、より低い電圧で動作するLSIを提供できる。

第7図は、本発明の第7の実施例である。第7図(a)は、本実施例の回路構成である。この回路のセンスアンプは、データ線と容量CCで結合されたQ12~Q15からなるセンスアンプと従来のQ1~Q4からなるセンスアンプの2段で構成されている。このうち、前者は従来のVDL(1.0V)よりも高い電圧VDH(1.5V)で動作する。CHP、CHNがその共通駆動線である。この回路の動作を第7図(b)の動作波形で説明する。前述のように、ワード線W0が高電位になるとCSより情報がデータ線Dに読みだされる。このデータ線電位の変化は結合容量CCによりQ12~Q15からなるセンスアンプへ伝達される。次に、CHPをVPH(0.75V)からVDH(1.5V)に、CHNをVPH(0.75V)からVSSに変化させるとQ12~Q15からなるセンスアンプが、データ線の信号に応じて増幅を開始する。この時、Q12~Q15のゲート、ソース間電圧は、プリチャージ電圧である

特開平2-246089 (12)

0.75 Vが印加されるが、この電圧はMOSトランジスタのしきい電圧の0.6 Vよりも充分に高くまた、センスアンプの出力に付く容量は、データ線の1/10程度（ゲートとCCの容量のみ）なのでセンスアンプは、高速に増幅を行うことができる。そして、その出力電圧は、VSS（0 V）とVDH（1.5 V）になる。次に、CSP、CSNを従来と同様にVDLとVSSとすれば、Q1～Q4からなるセンスアンプの入力端は、Q12～Q15からなるセンスアンプの出力端に接続されているから、それらのゲート、ソース間電圧はNMOSのQ2が1.5 V、PMOSのQ3が-1.0 Vとしきい電圧よりも充分に高くなる。従って、高速にデータ線を充放電できる。本実施例のデータ線電圧振幅の最小値は原理的には、PMOS（Q3、Q4）のゲート、ソース間電圧の最大値がそのしきい値に等しくなる0.6 Vである。従って、動作速度を考慮すると、実用的な電圧は約0.8 Vとなる。尚、本実施例によればCHNの低レベルを負にすることも可能であ

るから、PMOSのゲート、ソース間電圧を更に大きくすることができ、更に低い電圧でも動作が可能となる。例えば、CHNの低レベルを-0.5 Vとすれば、正常動作可能なゲート、ソース間電圧を0.8 Vとして、データ線電圧振幅は0.3 Vまで可能となる。これは、センスアンプトランジスタのしきい電圧より小さい。プリチャージ時は、第1の実施例などと同様に信号PCにより、データ線をショート、プリチャージするが、本実施例では、それらと共にQ12～Q15からなるセンスアンプの出力端のショート、プリチャージも行う。Q16、Q17、Q18がそのためのトランジスタである。このプリチャージ電圧は、VDH（1.5 V）の半分の0.75 Vである。従って、プリチャージ信号PCの振幅は1.35 V以上とすれば良い。以上のように、本実施例ではデータ線の電圧振幅がデータ線を駆動するセンスアンプトランジスタのしきい電圧より小さくても起動時のゲート、ソース間電圧をしきい電圧より充分高くすることができるので、高速

化、低消費電力化を図ることができる。従って、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、本発明の本質は、大きな負荷容量の信号線（ここではデータ線）の電圧振幅を下げ、その信号線の駆動回路を構成する素子の動作しきい値電圧を十分越える大きな電圧振幅で駆動回路を駆動することにある。したがって、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧でも高速に動作するLSIを提供できる。また、大/小の電圧振幅と、しきい値電圧の組合せを最適化することにより、より高速かつ低消費電力のLSIを提供できる。例えば、第7図（a）において、Q1～Q4の一部をディプレッション型のMOS-FETにしてさらに高速化することもできる。

第8図は、本発明の第8の実施例である。第8

図（a）は、本実施例の回路構成の概略である。この回路は、センスアンプトランジスタの基板電圧VBBを制御してそのしきい電圧を動作に最適な値にするものである。このため、しきい電圧モニタ用のMOSトランジスタと基準電圧VR発生回路、比較回路COMP、基板電圧VBB発生回路から構成されている。その動作を第8図（b）を用いて説明する。MOSトランジスタは、基板電圧VBBを変化させることにより、そのしきい電圧が変化する。例えば、NMOSの場合は、第8図（b）に示すようにVBBを負の方向に大きくするとしきい電圧は大きくなる。また、逆に小さくすると小さくなる。センスアンプを低電圧（1.0 V程度）で動作させるには、前述のようにしきい電圧を小さくすれば高速に動作する。そこで、本実施例では、第8図（a）に示すように、MOSトランジスタをダイオード接続し定電流で駆動することにより、そのしきい電圧をモニタし、それを基準電圧VRと比較回路COMPで比較し、その出力でVBB発生回路の出力電圧を制御し、

特開平2-246089 (13)

モニタ用MOSトランジスタのしきい電圧がVRと等しくするようにしている。このようにすることにより、例えばMOSトランジスタのしきい電圧が製造ばらつきにより、第8図(b)のa点で示す最適値より高いb点の電圧となってもVBBをVB1まで下げることによりd点へシフトさせVRと等しくすることができる。また、低くなった場合(同図c点)には、VBBをVB2に上げることによりe点へシフトさせ、やはりVRと等しくすることができる。従って、本実施例によれば製造ばらつきに対して安定なセンスアンプを実現できる。また、VRを動作時には標準値(a点)より低く(f点)待機時には高く(g点)することにより動作の高速化と待機時の低消費電力化の両立ができる。またさらに、PMOSのウエルにも同様な回路を付加し、VRを、動作時にはNMOSなら負、PMOSなら正とすることによりトランジスタのしきい電圧をデプレッション型に、待機時には逆に正、負とし両者とも通常のエンハンスメント型にすることにより、いっそうの

高速化と低電圧振幅化ができる。尚、動作のサイクルが短く基板電圧を高速に変化させる必要があるときには、前述の三重ウエル構造を用いセンスアンプ部の基板を分離すれば良い。これにより、VBB発生回路も低電力化が可能となる。第8図(c)は、第8図(a)を具体化したものである。QB1、QB2は、モニタ用MOSトランジスタ、QB3~QB8は比較回路、OSCはVBB発生回路の発振回路、INV1、INV2、C2、C3、QB9~QB12は、VBB発生回路である。ここで、モニタ用MOSトランジスタを2段接続したのは、比較回路の最適バイアスを得るためである。これにともなって、VRは目標とするしきい電圧の2倍とする必要がある。尚、このモニタ用トランジスタの段数は、2段とは限らず比較回路への入力電圧が最適となる段数にすれば良い。また、基板電圧発生回路の整流回路(C2、C3、QB9~QB12)は、本実施例ではしきい電圧の制御範囲を大きくするため倍電圧を発生するようにしているが、これは、センスアンプの

動作電圧や基板電圧に対するしきい電圧の変化率に応じて変更しても差し支えない。以上のように、本実施例によれば、センスアンプのしきい電圧を、製造ばらつきによらず一定にでき、また動作時と待機時でその値を変更できるので、低電圧、高速、低消費電力のDRAMを実現できる。従って、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供できる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。なお、本発明は、素子の動作しきい値電圧を検出する手段と、その検出出力で、しきい値電圧を回路動作に最適な値になるように制御することにより、上述した回路方式に限るものではない。

以上、本発明はDRAMを例に説明したが、ダイナミック、スタティックなどのランダムアクセスメモリ(RAM)、あるいはリードオンリーメモ

リ(ROM)、さらにはマイクロコンピュータのようなロジックLSIなどの、いずれの形式のLSIに適用してもよい。また、その構成素子は、バイポーラ型トランジスタ、MOS型トランジスタ、これらの素子の組合せ、あるいはSi以外の材料を用いた、例えば、GaAs型のトランジスタなどのいずれでもよい。

【発明の効果】

以上説明したように、本実施例によれば、より低い電源電圧でも、速度性能を著しく損なうことなく動作するメモリ回路を提供でき、電池バックアップ用メモリや電池動作メモリとして用いることができる。また、センスアンプに限らず、回路の用途に応じて使いわけることによって高速かつ低消費電力のLSIを提供できる。さらには、メモリに限らず、論理LSIなどの他のLSIにおいても、より低い電圧で動作するLSIを提供できる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例の回路構成と動

特開平2-246089 (14)

その図は従来の技術を示す図、

作波形とその効果、第3図は本発明の第2の実施例の回路構成と動作波形および第3の実施例の概念と回路構成と動作波形、第4図は本発明の第4の実施例の回路構成と動作波形、第5図は本発明の第5の実施例の回路構成と動作波形、第6図は本発明の第6の実施例の回路構成と動作波形、第7図は本発明の第7の実施例の回路構成と動作波形、第8図は本発明の第8の実施例の概念と効果および具体的な回路構成である。

符号の説明

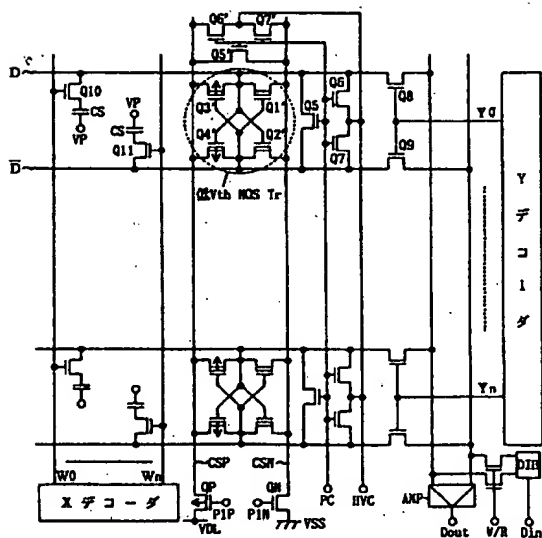
Q1, Q2, Q3, Q4, Q1', Q2',
Q3', Q4', Q12, Q13, Q14, Q15
…センスアンプ、Q5, Q6, Q7, Q5',
Q6', Q7', Q16, Q17, Q18…プリチャージ回路、Q8, Q9…Yゲート、VP…プレート電圧端子、CS…蓄積容量、Q10, Q11…メモセルのスイッチ用トランジスタ、PC…プリチャージ信号入力端子、VDP…プリチャージ電圧、HVC…VDD/2電圧端子、VDL…データ線充電電圧端子、QP, QN, QP1,

QP2, QN1, QN2…センスアンプ駆動用トランジスタ、VSS…接地電圧、AMP…メインアンプ、DIB…Dinバッファ、Dout…情報出力端子、Din…情報入力端子、W/R…情報入出力切り換え端子。

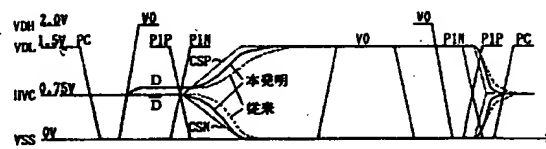
代理人 弁理士 小川勝男



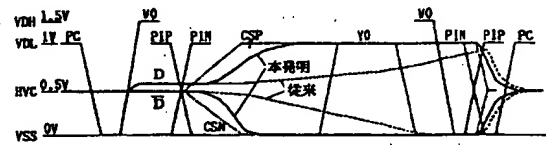
第1図(a)



第1図(a')

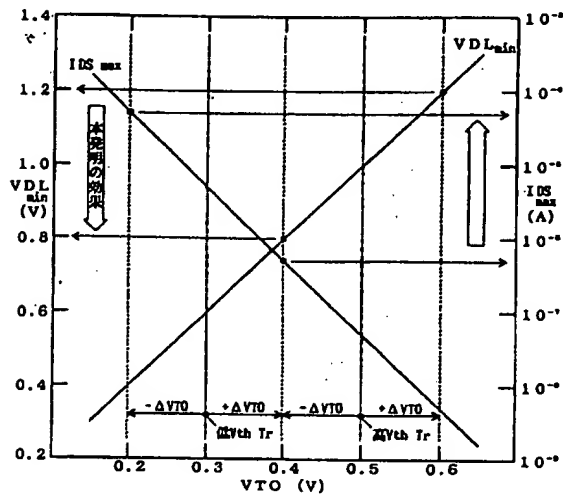


第1図(a'')

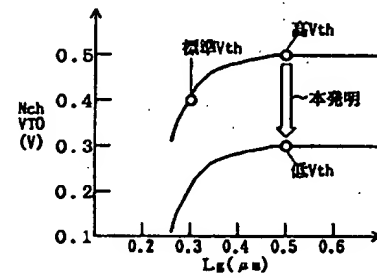


特開平2-246089 (15)

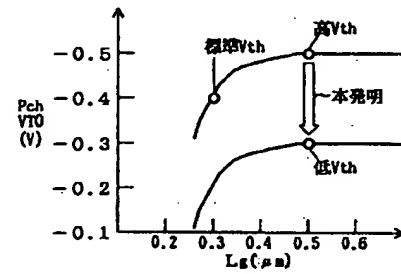
第 1 図 (b)



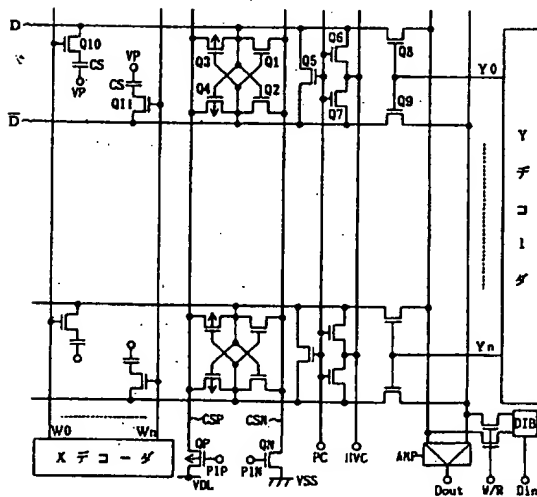
第 1 図 (c)



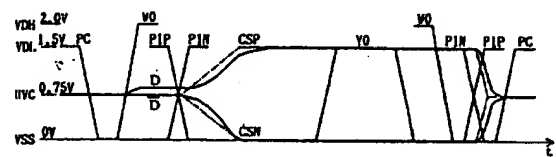
第 1 図 (d)



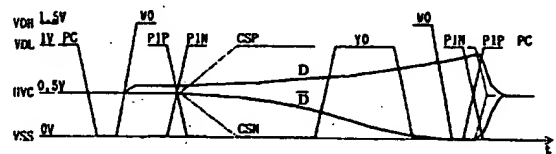
第 2 図 (a)



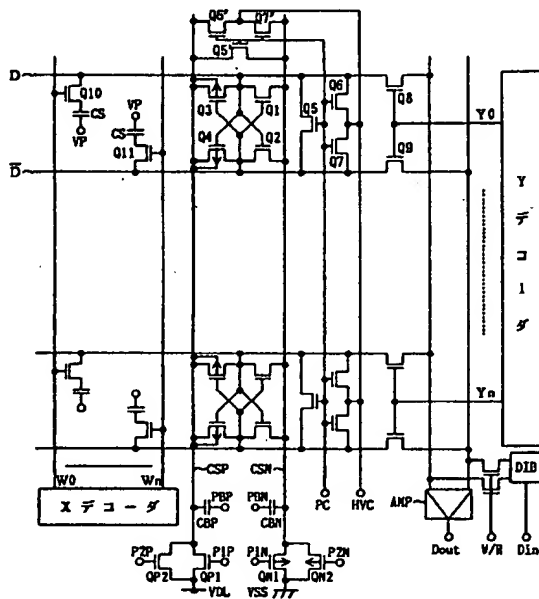
第 2 図 (b)



第 2 図 (c)



第 3 圖 (a)

[illegible]

The diagram shows the timing of several signals relative to two transitions: **SP1, SN1 オン** (turn on) and **SP2, SN2 オン** (turn on). The **SP1, SN1 オフ** (turn off) transition occurs shortly after the second turn-on. The signals shown are:

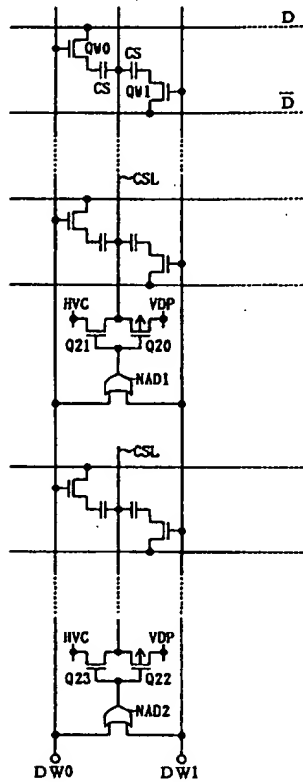
- VDD**: Power supply voltage, which ramps up during the first transition and remains high.
- VDL**: Data latch voltage, which ramps up during the first transition and remains high.
- VDP**: Data precharge voltage, which ramps up during the first transition and remains high.
- VDBL**: Data bus latch voltage, which ramps up during the first transition and remains high.
- VSS = VDBH**: Ground reference voltage, which remains low.
- VBD**: Bias voltage, which ramps up during the first transition and remains high.

Key timing points and delays are indicated:

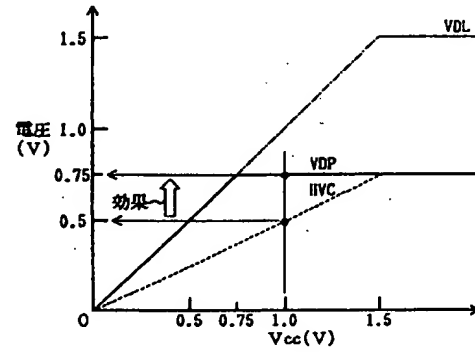
- CSP**: Delay from the **SP2, SN2 オン** transition to the start of the **VDP** ramp.
- D**: Delay from the **SP1, SN1 オン** transition to the start of the **VDP** ramp.
- D̄**: Delay from the **SP1, SN1 オン** transition to the start of the **VDBL** ramp.
- CSN**: Delay from the **SP1, SN1 オン** transition to the start of the **VBD** ramp.

特開平2-246089 (18)

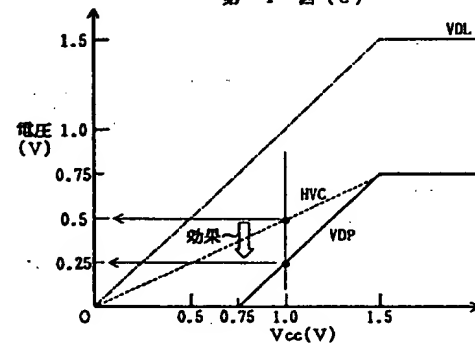
第 4 図 (c)



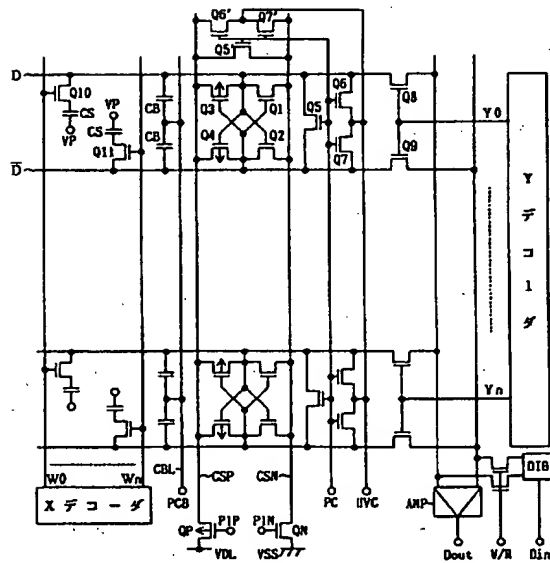
第 4 図 (d)



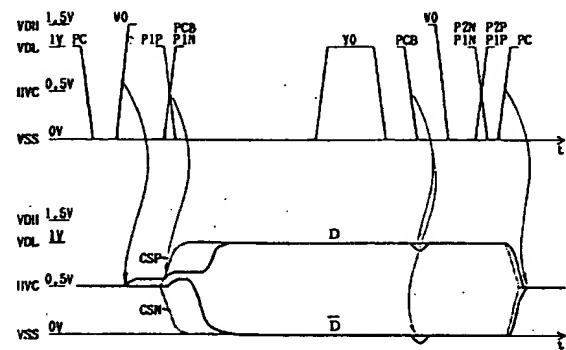
第 4 図 (e)



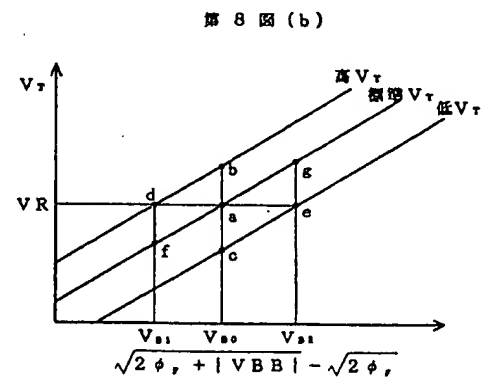
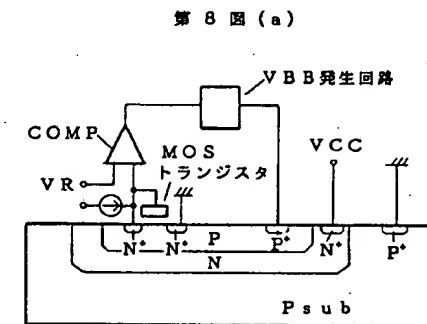
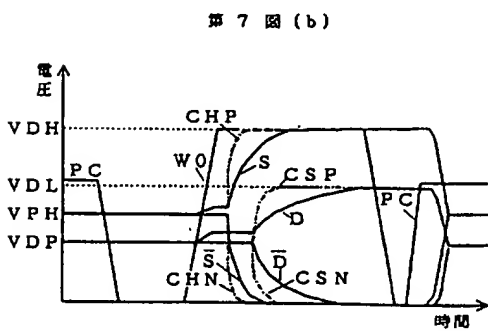
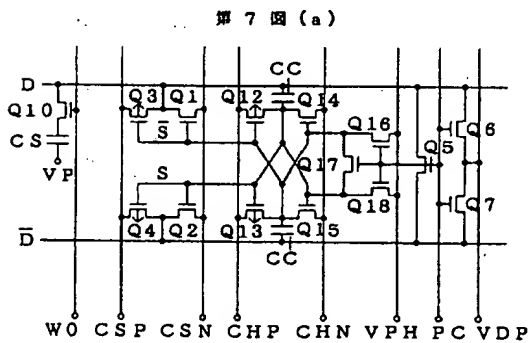
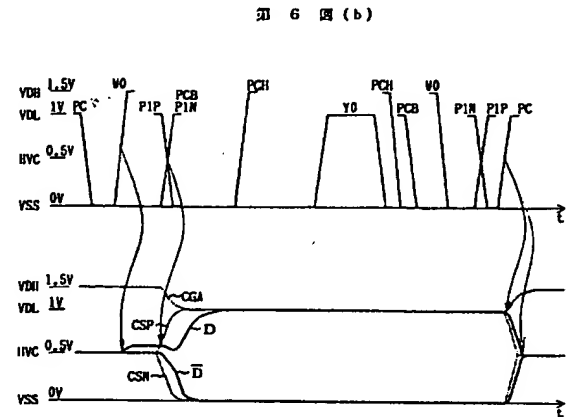
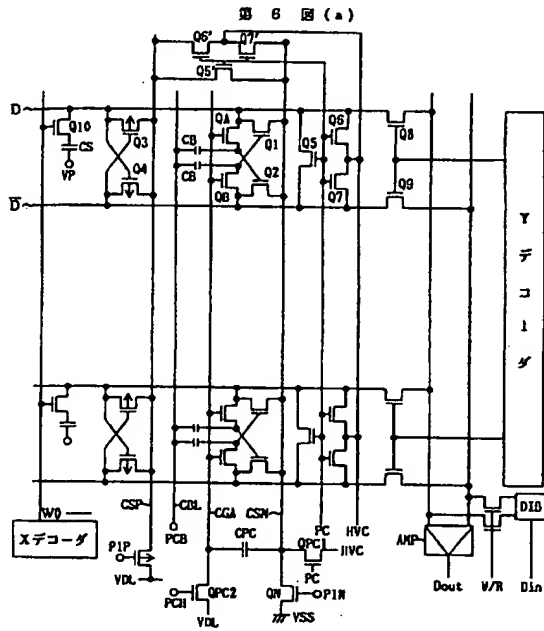
第 5 図 (a)



第 5 図 (b)

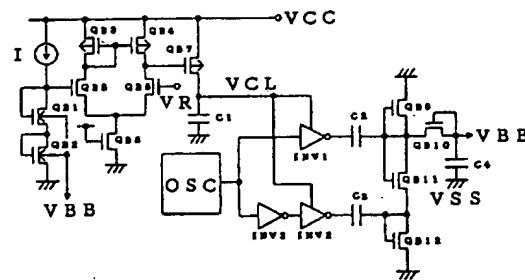


特開平2-246089 (19)



特開平2-246089 (20)

第 8 図 (c)



第 1 頁の続き

| | | | | |
|------|-----|-----|-------------------------|-----------------|
| ⑦発明者 | 中 込 | 儀 延 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 | 株式会社日立製作所中央研究所内 |
| ⑧発明者 | 川 尻 | 良 樹 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 | 株式会社日立製作所中央研究所内 |
| ⑨発明者 | 伊 藤 | 清 男 | 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 | 株式会社日立製作所中央研究所内 |

特開平2-246089 (21)

手 続 補 正 書 (自発)

1 8 21
平成 年 月 日

特許庁長官 殿

事件の表示

平成 1 年 特 許 願 第 66175号

発 明 の 名 称 半 導 体 集 積 回 路

補正をする者

事件との関係 特 許 出 願 人

名 称 (510) 株式会社 日 立 製 作 所

代 理 人

居 所 〒100

東京都千代田区丸の内一丁目5番1号

株式会社 日 立 製 作 所 内

電 話 東 京 212-1111(大代表)

氏 名 (6850) 弁 理 士 小 川 勝 男

補 正 の 対 象

明細書の「図面の簡単な説明」の欄
および明細書に添付した図面。

以上



補正の内容

1. 明細書の図面の簡単な説明の欄を

「第1図(a)は本発明の第1の実施例の回路構成を示す図、第1図(b)は本発明の第1の実施例の効果を示す図、第1図(c), (d)は本発明の第1の実施例のトランジスタと従来のトランジスタの特性を示す図、第1図(e), (f)は本発明の第1の実施例と従来の動作波形を示す図、第2図(a)は従来の回路構成を示す図、第2図(b), (c)は従来の動作波形を示す図、第3図(a)は本発明の第2の実施例の回路構成を示す図、第3図(b)は本発明の第2の実施例の動作波形を示す図、第3図(c), (g)は第3の実施例の概念と動作波形を示す図、第3図(d), (h)は第3の実施例の別の概念と動作波形を示す図、第3図(e)は第3の実施例の回路構成を示す図、第3図(f)は第3の実施例の動作波形を示す図、第4図(a)は本発明の第4の実施例の回路構成を示す図、

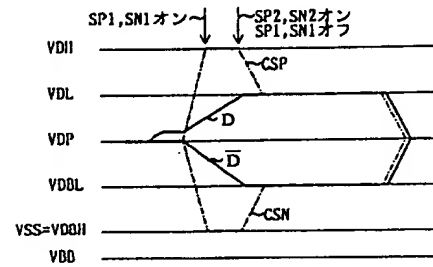
第4図(b')を(f)と訂正する。

第4図(b), (f)は本発明の第4の実施例の動作波形を示す図、第4図(c)は本発明の第4の実施例に応用する別の回路構成を示す図、第4図(d), (e)は本発明の第4の実施例の効果を示す図、第5図(a)は本発明の第5の実施例の回路構成を示す図、第5図(b)は本発明の第5の実施例の動作波形を示す図、第6図(a)は本発明の第6の実施例の回路構成を示す図、第6図(b)は本発明の第6の実施例の動作波形を示す図、第7図(a), (b)は本発明の第7の実施例の回路構成と動作波形を示す図、第8図(a), (b)は本発明の第8の実施例の概念と効果を示す図、第8図(c)は本発明の第8の実施例の具体的な回路構成を示す図である。」と訂正する。

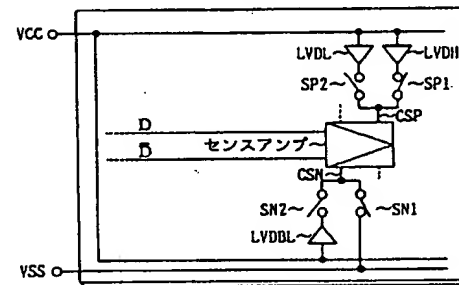
2. 明細書に添付した図面の図番を別紙の
とうり(第1図(a'))を(e)と、第1
図(a'')を(f)と、第3図(c')
を(g)と、第3図(d')を(h)と、

特開平2-246089 (22)

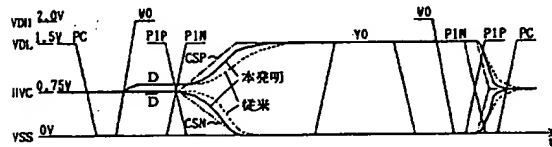
第 3 図 (c)



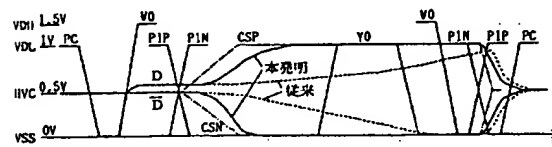
(3)



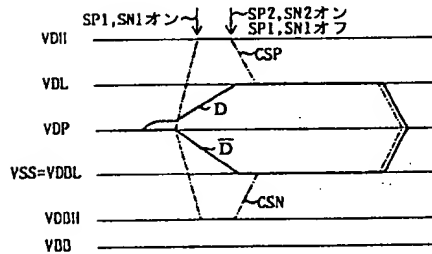
第 1 図 (e)



第 1 図 (f)

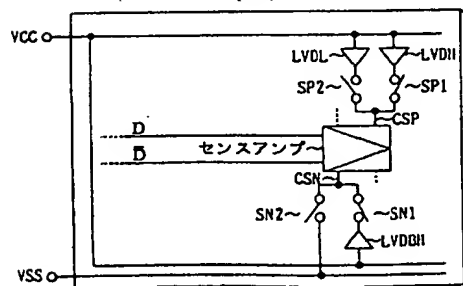


第 3 図 (d)

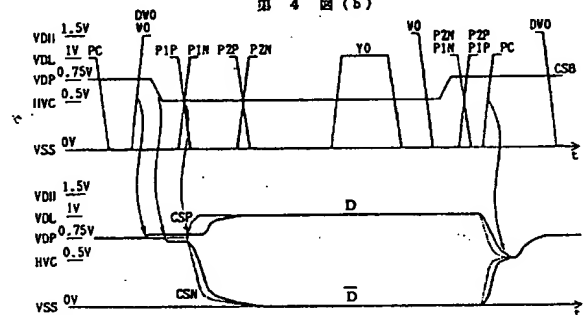


(h)

(d)



第 4 図 (b)



第 4 図 (f)

